

## KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020043435      (43) Publication.Date. 20020610

(21) Application No.1020010024525      (22) Application Date. 20010507

(51) IPC Code: H01L 23/12

(71) Applicant:

FUJITSU LIMITED

(72) Inventor:

TAKASHIMA AKIRA

TANIGUCHI FUMIHIKO

(30) Priority:

2000 2000368910 20001204 JP

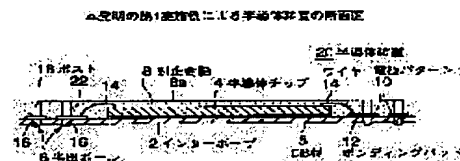
**(54) Title of Invention**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### Representative drawing

(57) **Abstract:**

**PURPOSE:** To provide a semiconductor device that can form the package of the semiconductor device by simple structure, and can improve the packaging density of three-dimensional structure by laminating for integration, and to provide a method for manufacturing the semiconductor device.



CONSTITUTION: A post 18 is provided in a sealing resin 8 while one end is connected to an electrode pattern 10 and the other is exposed from an outer- periphery surface 8a of the sealing resin 8, thus achieving connection so that lamination with the external terminal of other same-model semiconductor devices is made for integrating, and improving the packaging density of the three- dimensional structure.

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. 8 H01L 23 /12	(11) 공개번호      특2002-0043435 (43) 공개일자      2002년06월 10일
--------------------------------	---

(21) 출원번호	10-2001-0024525
(22) 출원일자	2001년05월07일
(30) 우선권 주장	2000-368910    2000년 12월 04일    일본 (JP)
(71) 출원인	후지쯔 가부시끼가이샤
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 다니구치후미히코  일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부시끼가이샤내 다카시마아키라  일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부시끼가이샤내
(74) 대리인	문두현, 문기상

심사청구 : 없음

**(54) 반도체 장치 및 반도체 장치의 제조 방법**

**요약**

본 발명은 반도체 장치의 패키지를 간단한 구조로 형성하고, 적층하여 일체화함으로써 3차원 구조의 실장 밀도의 향상을 도모할 수 있는 반도체 장치 및 반도체 장치의 제조 방법을 제공하는 것을 목적으로 한다.

상기의 문제점을 해결하기 위해서, 포스트(18)는 봉지 수지(8) 내에 배설되고, 일단부는 전극 패턴(10)에 접속되고, 다른 단부는 봉지 수지(8)의 외주 표면(8a)에서 노출하도록 배설되어 있다. 이에 의해서 다른 동형의 반도체 장치의 외부 단자와 적층하여 일체화하도록 접속시킬 수 있어, 3차원 구조의 실장 밀도의 향상을 도모할 수 있다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 제 1 실시예에 따른 반도체 장치의 단면도.

도 2는 본 발명의 제 1 실시예에 따른 반도체 장치의 제 1 제조 공정을 설명하기 위한 도면.  
 도 3은 본 발명의 제 1 실시예에 따른 반도체 장치의 제 1 제조 공정을 설명하기 위한 도면.  
 도 4는 본 발명의 제 1 실시예에 따른 반도체 장치의 제 2 제조 공정을 설명하기 위한 도면.  
 도 5는 본 발명의 제 1 실시예에 따른 반도체 장치의 제 2 제조 공정을 설명하기 위한 도면.  
 도 6은 본 발명의 제 2 실시예에 따른 반도체 장치의 단면도.  
 도 7은 본 발명의 제 3 실시예에 따른 반도체 장치의 단면도.  
 도 8은 본 발명의 제 3 실시예의 변형예에 따른 반도체 장치의 단면도.  
 도 9는 본 발명의 제 4 실시예에 따른 반도체 장치의 단면도.  
 도 10은 본 발명의 제 4 실시예의 변형예에 따른 반도체 장치의 단면도.  
 도 11은 본 발명의 제 5 실시예에 따른 반도체 장치 유닛의 단면도.  
 도 12는 본 발명의 제 6 실시예에 따른 반도체 장치 유닛의 단면도.  
 도 13은 본 발명의 제 7 실시예에 따른 반도체 장치의 단면도.  
 도 14는 본 발명의 제 7 실시예에 따른 반도체 장치에 배설된 안테나의 단면도.  
 도 15는 본 발명의 제 8 실시예에 따른 반도체 장치의 단면도.  
 도 16은 본 발명의 제 9 실시예에 따른 반도체 장치의 단면도.  
 도 17은 본 발명의 제 10 실시예에 따른 반도체 장치의 단면도.  
 도 18은 종래의 팬 아웃형의 반도체 장치의 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

- 1, 20, 20a ~ 20e, 20h~20k 반도체 장치
- 2 기판
- 4, 4a 반도체 칩
- 5 DB재
- 6, 6a~6e 땀납 볼
- 8 봉지 수지
- 10 전극 패턴
- 12 본딩 패드
- 14 와이어

16 구멍부

18, 18a~18c 포스트

20f, 20g 반도체 장치 유닛

22, 30 포스트 구멍부

23 마스크

24, 25, 26, 27 금형

29 포스트 형성부

32 접속면

34 차폐재

35, 38, 44 접속부

36 안테나

40 칩 부품

42 히트 싱크

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로, 특히 복수의 반도체 장치를 적층하여 3차원 구조로서 실장 밀도의 향상을 도모하는데 최적인 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

전자 기기의 소형화, 경량화, 박형화에 수반되어 전자 기기에 사용되는 반도체 장치에도 소형화, 박형화가 요구되고 있다. 이와 같은 요구에 대처하기 위해, 반도체 장치의 패키지는, 4방향으로 단자가 갈매기 날개(gull wing) 형상으로 뻗어 나온 표면 실장용의 QFP(Quad Flat Package)에서, 패키지의 저면에 외부 접속 단자를 에리어 어레이 형상으로 배치한 BGA(Ball Grid Array) 형 패키지 또는 CSP(Chip Size Package)로 이행되어 왔다.

이와 같은 반도체 패키지에 있어서, 반도체 칩을 배선 기판(인터포저)에 실장하고, 인터포저(interposer)에 의해서 반도체 칩의 주위에 외부 접속용 단자를 배치한 소위 팬 아웃 형의 패키지가 많이 사용되고 있다.

도 18은 종래의 팬 아웃 형의 반도체 장치의 단면도이다. 도 18에 있어서, 반도체 장치(1)는 대략적으로 기판(2), 반도체 칩(4), 땀납 볼(6) 및 봉지 수지(8) 등으로 구성되어 있다. 여기서, 인터포저는 기판(2), 전극 패턴(10), 본딩 패드(12)로 구성되어, 외부의 전극과 반도체 칩을 전기적으로 도통시키기 위해서 사용된다.

기판(2)은 예를 들면 폴리이미드 수지, 세라믹 수지, 유리 에폭시 수지 등으로 형성되어 있고, 그 표면(2a)에는 반도체 칩(4)이 탑재되는 동시에 전극 패턴(10)이 형성된다. 반도체 칩(4)은 페이스업(faceup)의 상태로 DB재(본딩재)(5)에 의해서 기판(2)에 고정되어 있다. 전극 패턴(10)은 기판(2)에 동막을 형성한 후, 에칭 등에 의해서 소정의 패턴에 형성된 것이다. 또, 전극 패턴(10)은 도시하지 않은 배선 패턴에 의해서 전기적으로 접속되어 있다.

전극 패턴(10)의 일부는 본딩 패드(12)와 일체화되어 있다. 이 본딩 패드(12)와 반도체 칩(4)의 전극과는 와이어(14)에 의해서 접속되어 있다. 이에 의해서 반도체 칩(4)과 전극 패턴(10), 본딩 패드(12)는 와이어(14) 및 배선 패턴을 거쳐서 전기적으로 접속된 구성으로 되어 있다. 또, 기판(2)의 반도체 칩(4)이 접속된 면(2a)은, 반도체 칩(4), 와이어(14), 본딩 패드(5) 등을 보호하기 위해서 에폭시계 수지 등으로 된 봉지 수지(8)에 의해서 봉지되어 있다.

또, 기판(2)의 전극 패턴(10)과 대향하는 위치에는 기판(2)을 관통하는 구멍부(16)가 형성되어 있다. 이 구멍부(16)는 기판(2)에 대하여 레이저 가공, 드릴 가공, 또는 금형 가공 등을 실시함으로써 형성되어 있다.

한편, 기판(2)의 뒷면(2b)에는 땀납 볼(6)이 배설되어 있다. 이 땀납 볼(6)은 상기한 구멍부(16)의 형성 위치에 배설되어 있고, 이 구멍부(16)를 통해서 전극 패턴(10)에 접합된 구성으로 되어 있다. 즉, 땀납 볼(6)은 전극 패턴에 접합함으로써, 기판(2)에 고정된 구성으로 되어 있다.

상기한 바와 같이, 반도체 장치(1)에 인터포저를 사용한 패키지 구조가 주류로 되어 왔으나, 반도체 장치의 고밀도화가 더욱 진행함에 따라, 반도체 칩을 포함한 패키지의 실장 면적이 축소되고 있다. 따라서, 반도체 장치의 패키지 사이즈가 축소되어, 패키지 구조의 2차원적인 축소는 거의 한계에 도달하고 있는 것으로 생각되고 있다. 따라서, 반도체 장치의 소형화를 실현하기 위해서는, 3차원적(스택)으로 실장하는 것이 필요하게 된다. 3차원적인 실장 방법에 있어서, 수지 패키지의 상면에 접속용의 전극을 설치한 반도체 장치 등이 제공되고 있다.

### **발명이 이루고자하는 기술적 과제**

그러나, 상기한 바와 같이 수지 패키지의 상면에 접속용의 전극을 설치하기 위해서는, 수지 패키지를 회피하여 배선하지 않으면 안되므로, 수지 패키지의 상면에 접속용의 전극을 끌어 내기는 곤란하다. 예를 들면, 수지 패키지를 형성 후에, 인터포저에 설치된 외부 단자와 접속한 배선을, 수지 패키지를 회피하도록 반도체 장치의 외주 표면을 우회하여 상면에 배설하면, 배선이 노출하는 동시에, 배선이 끊어지기 쉽게 되어 반도체 장치의 신뢰성을 상실한다. 또, 이와 같은 전극의 배설로는 배선이 길어짐으로써 임피던스가 커지게 되어, 반도체 장치의 고속화를 방해한다.

본 발명은 상술의 과제를 감안하여 이루어진 것으로서, 반도체 장치의 패키지를 간단한 구조로 형성하고, 적층하여 일체화함으로써 3차원 구조의 실장 밀도의 향상을 도모할 수 있는 반도체 장치 및 반도체 장치의 제조 방법을 제공하는 것을 목적으로 한다.

### **발명의 구성 및 작용**

상술한 목적을 달성하기 위해서 청구항 1 기재의 발명은,

반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저, 및

이 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 외부 단자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖으며, 상기 수지에 내설되어 있는 배선을 갖는 구성으로 한다.

청구항 2 기재의 발명은,

반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저, 및

이 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 반도체 소자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖으며, 상기 수지에 내설되는 동시에 상기 반도체 소자의 표면 상에 배설된 배선을 갖는 구성으로 한다.

청구항 3 기재의 발명은,

청구항 1 또는 2 기재의 반도체 장치로서,

상기 제 1 접속부와 제 2 접속부의 단면적이 다른 구성으로 한다.

청구항 4 기재의 발명은,

청구항 1 내지 3 중 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 범프를 형성하는 구성으로 한다.

청구항 5 기재의 발명은,

청구항 1 내지 4 중 어느 한 항 기재의 반도체 장치로서,

복수의 상기 반도체 장치의 각각을 적층 고정하는 구성으로 한다.

청구항 6 기재의 발명은,

청구항 1 내지 5 중 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 안테나를 재치(載置)하는 구성으로 한다.

청구항 7 기재의 발명은,

청구항 1 내지 5 중 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 전자 부품을 재치하는 구성으로 한다.

청구항 8 기재의 발명은,

청구항 1 내지 3 중 어느 한 항 기재의 반도체 장치로서,

상기 반도체 소자에 다른 반도체 소자의 제 1 면을 접속시키고, 상기 다른 반도체 소자의 제 2 면 및 제 2 접속부에 히트

싱크(heat sink)를 재치하는 구성으로 한다.

청구항 9 기재의 발명은,

전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

상기 전극 패턴 상에 배선 구멍을 갖는 마스크를 형성하고, 상기 배선 구멍에 도전재를 도입하여 배선을 형성하는 배선 형성 공정, 및

상기 마스크를 제거한 후, 상기 기판의 상기 반도체 소자 및 상기 배선이 형성된 면에 상기 배선의 일부가 외부로 노출하도록 수지 형성을 행하는 수지 형성 공정을 실시하는 구성으로 한다.

청구항 10 기재의 발명은,

전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

상기 전극 패턴 상에 배선이 형성되도록 상기 기판의 상기 반도체 소자의 배설 면에 수지를 형성하는 수지 형성 공정, 및

상기 배선 구멍에 도전재를 도입함으로써, 상기 수지 내에 배선을 형성하는 배선 형성 공정을 실시하는 구성으로 한다.

상기의 각 수단은 다음과 같이 작용한다.

청구항 1 기재의 발명에 의하면, 외부 단자와 전기적으로 접속하는 제 1 접속부 및 수지의 외부 표면에 노출하는 제 2 접속부를 갖는 배선이 설치되어 있다. 이 배선에 의해서 외부 단자와 제 2 접속부에 접속한 다른 전극과 전기적으로 접속시킬 수 있어, 복수의 동형의 반도체 장치에서의 적층 구조가 가능하게 된다. 따라서, 이 배선에 의해서 효율적으로 반도체 장치를 적층하여 일체화 할 수 있어, 3차원 구조의 실장 밀도의 향상을 도모할 수 있다. 또, 배선을 수지 내에 설치함으로써 최단의 배선을 배설할 수 있어, 간단한 패키지 구조의 반도체 장치를 제공할 수 있다.

청구항 2 기재의 발명에 의하면, 배선의 제 1 접속부를 반도체 소자와 전기적으로 접속하여 반도체 소자의 표면 상에 배설함으로써, 배선의 배설 위치의 자유도를 향상시킬 수 있다.

청구항 3 기재의 발명에 의하면, 배선의 제 1 접속부와 제 2 접속부의 단면적을 다르게 함으로써, 배선의 총 체적을 작게 할 수 있어, 배선의 임피던스를 억제할 수 있다. 따라서, 반도체 장치의 고속화를 도모할 수 있다. 또, 배선의 형성 시간을 단축할 수 있는 동시에, 반도체 장치의 신뢰성을 향상시킬 수 있다.

청구항 4 기재의 발명에 의하면, 제 2 접속부에 설치된 범프에 의해서, 반도체 장치 실장의 신뢰성을 향상시킬 수 있다.

청구항 5 기재의 발명에 의하면, 복수의 동형의 반도체 장치를 적층 고정함으로써, 반도체 장치의 적층 구조의 용적을 작게 할 수 있다. 즉, 반도체 장치의 3차원 구조로서 실장 밀도의 향상을 도모할 수 있다.

청구항 6 기재의 발명에 의하면, 제 2 접속부에 안테나를 설치함으로써, 무선 신호의 송수신에 적용하는 것이 가능하다. 따라서, 반도체 장치의 신뢰성 및 기능성을 향상시킬 수 있다.

청구항 7 기재의 발명에 의하면, 제 2 접속부에 다른 기능을 갖는 전자 부품을 설치함으로써, 반도체 장치의 기능성, 범용성을 향상시킬 수 있다.

청구항 8 기재의 발명에 의하면, 반도체 소자에 접속한 다른 반도체 소자의 뒷면 및 제 2 접속부에 히트 싱크를 재치함으

로써, 반도체 장치에서 발생한 열을 효율적으로 방출할 수 있다. 따라서, 반도체 장치의 신뢰성 및 기능성을 향상시킬 수 있다.

청구항 9 기재의 발명에 의하면, 전극 패턴 상에 배선 구멍을 갖는 마스크를 형성하고, 이 배선 구멍에 도전재를 도입하여 배선을 형성한 후에, 기판의 반도체 소자와 배선의 형성된 면에 수지로 봉지함으로써, 복수의 동형의 반도체 장치에서의 적층이 가능하게 된다.

청구항 10 기재의 발명에 의하면, 전극 패턴 상에 배선 구멍을 형성하도록 기판의 반도체 소자의 배설 면을 수지로 봉지한 후에, 배선 구멍에 도전재를 도입하여 배선을 형성함으로써, 복수의 동형의 반도체 장치에서의 적층이 가능하게 된다.

이하, 도면을 참조하여 본 발명에서의 실시 형태를 상세히 설명하겠다.

도 1은 본 발명의 제 1 실시예에 의한 반도체 장치의 단면도이다. 도 1에 나타난 반도체 장치(20)는 와이어 본딩 접속된 팬 아웃 형의 반도체 장치이다. 이하에 나타낸 도 1~17에 있어서, 도 18에 나타난 구성 부품과 같은 부품에는 같은 부호를 매겨서 그 설명은 생략한다.

도 1에 있어서, 반도체 장치(20)는 대략적으로 기판(2), 반도체 칩(4), 땀납 볼(6), 봉지 수지(8) 및 포스트(18) 등으로 구성되어 있다.

포스트(18)는 봉지 수지(8) 내에 배설되며, 일단부는 전극 패턴(10)에 접속되고, 다른 단부는 봉지 수지(8)의 외주 표면(8a)으로부터 노출하도록 배설되어 있다. 포스트(18)의 일단부는 전극 패턴(10)에 접속됨으로써, 땀납 볼(6)과 전기적으로 접속된다. 포스트(18)의 다른 단부는 봉지 수지(8)의 외주 표면(8a)에서 노출되도록 배설됨으로써, 다른 동형의 반도체 장치의 외부 단자와 접속하는 것이 가능하게 된다. 즉, 포스트(18)에 의해서 효율적으로 반도체 장치를 적층하여 일체화할 수 있어, 3차원 구조의 실장 밀도의 향상을 도모할 수 있다. 또, 배선을 수지 내에 설치함으로써, 최단의 배선을 배설할 수 있어, 간단한 패키지 구조의 반도체 장치를 제공할 수 있다.

한편, 포스트(18)는 마스크 등으로 형성된 포스트 구멍부(22)에, 예를 들면 고속 Cu 도금법을 사용하여 형성된다. 포스트(18)가 형성된 후, 봉지 수지(8)가 형성된다. 상기 반도체 장치의 제조 공정에 대하여 이하에 상술하겠다.

도 2, 도 3은 본 발명의 제 1 실시예에 따른 반도체 장치의 제 1 제조 공정을 설명하기 위한 도면이다. 도 2에 나타난 반도체 장치의 기판(2)에 있어서, 포스트 구멍부(22)를 전극 패턴(10)에 접하도록 하여, 봉지 수지(8)를 형성했을 때와 동일한 두께가 되도록 마스크(23)에 의해서 형성한다. 포스트 구멍부(22)에는 도 3에 나타난 바와 같이, 고속 Cu 도금법 등에 의해서 포스트(18)가 형성된다. 포스트(18)가 형성된 후, 반도체 장치에 금형(24, 25)을 배설하고, 봉지 수지(8)를 금형(24)의 상부로부터 충전함으로써, 도 1에 나타난 바와 같은 반도체 장치(20)가 제조된다.

도 4, 도 5는 본 발명의 제 1 실시예에 따른 반도체 장치의 제 2 제조 공정을 설명하기 위한 도면이다. 도 4에 나타난 반도체 장치에 있어서, 기판(2)의 반도체 칩(4)이 설치된 면에 금형(26) 및 금형(27)을 배설하고, 봉지 수지(8)를 금형(26)의 상부로부터 충전한다. 금형(26)에 설치된 포스트 형성부(29)에 의해서, 도 5에 나타난 바와 같이, 봉지 수지(8)에 포스트 구멍부(22)가 형성된다. 포스트 구멍부(22)에는 고속 Cu 도금법 등에 의해서 포스트(18)가 형성되고, 도 1에 나타난 바와 같은 반도체 장치(20)를 제조할 수 있다.

단, 포스트(18)의 형성은 고속 Cu 도금법에만 한정되지 않고, CVD(Chemical Vapor Deposition)법, 스퍼터링법 등으로도 가능하다. 또, 포스트(18)는 봉지 수지(8)로 포스트 구멍부(22)를 형성한 후, 포스트 구멍부(22)에 땀납 볼 및 땀납 페이스트를 메움으로써 형성하는 것도 가능하다.

도 6은 본 발명의 제 2 실시예에 따른 반도체 장치의 단면도이다. 도 6에 나타난 반도체 장치(20a)는 상기 도 2, 3 및 도 4, 5에 나타난 제조 공정에 의해서 형성되고, 형성된 포스트(18)의 봉지 수지(8)의 외주 표면에 노출하는 일단부에 외



부 단자로서 땀납 볼(6a)을 배설한다. 이와 같이 포스트(18)에 땀납 볼(6a)을 설치함으로써, 반도체 장치의 실장의 신뢰성을 향상시킬 수 있다.

도 7은 본 발명의 제 3 실시예에 따른 반도체 장치의 단면도이다. 도 7에 나타난 반도체 장치(20b)에는 포스트(18a, 18b)가 배설되어 있다. 포스트(18a)는 도 2, 3에 나타난 제 1 제조 공정으로 형성되고, 봉지 수지(8)의 표면(8a)보다 낮은 높이로 형성된다. 포스트(18a)가 형성된 후, 도 4에 나타난 포스트 형성부를 갖는 금형을 배설하여 봉지 수지(8)를 충전하면, 도 7의 포스트 구멍부(30)가 형성된다. 이 포스트 구멍부(30)에 고속 Cu 도금 등을 행함으로써, 포스트(18b)를 형성할 수 있다. 포스트(18a, 18b)는 포스트(18a, 18b)의 단면적이 각각 달라지도록 형성된다. 이에 의해서 양쪽의 포스트의 임피던스가 작아지도록 형성할 수 있기 때문에, 반도체 장치의 고속화를 도모할 수 있다. 또, 도 7에 나타난 바와 같이, 포스트(18b)가 포스트(18a)의 단면적보다 작고, 포스트(18a)가 형성된 후에 포스트(18b)가 땀납 페이스트 매입 등으로 형성되는 경우, 포스트(18b)의 형성 시간을 대폭으로 단축할 수 있다. 또, 포스트(18a)와 전극 패드(10)에 접속하는 단면적을 크게 할 수 있어, 반도체 장치의 신뢰성을 향상시킬 수 있다.

도 8은 본 발명의 제 3 실시예의 변형례에 따른 반도체 장치의 단면도이다. 도 8에 나타난 반도체 장치(20c)는, 도 7에 나타난 반도체 장치(20b)의 포스트(18b)에 땀납 볼(6b)을 배설한 것이다. 이와 같이, 포스트(18b)의 봉지 수지(8)의 외주 표면에 노출하는 일단부에 외부 단자로서 땀납 볼(6b)을 설치함으로써, 반도체 장치의 실장의 신뢰성을 향상시킬 수 있다. 또, 포스트(18a)를 사전에 Cu 도금 등으로 형성하여, 높이를 확보해 줌으로써, 땀납 페이스트의 구멍 메우기를 실시하지 않고, 볼 탑재 공정이 땀납 볼 탑재만으로 가능하게 된다.

도 9는 본 발명의 제 4 실시예에 따른 반도체 장치의 단면도이다. 도 9에 나타난 반도체 장치(20d)는, 포스트(18c)의 일단을 반도체 칩(4) 표면의 소정 위치와 접속시켜서, 다른 단부를 봉지 수지(8)의 외주 표면에 노출하도록 배설한다. 포스트(18c)는 고속 Cu 도금법 등에 의해서 형성된다. 이와 같이, 반도체 칩(4)의 표면에 포스트(18c)를 배설함으로써, 포스트(18c)의 배설 위치의 자유도를 향상시킬 수 있다. 또, 포스트(18c)와 반도체 칩(4)과의 접속은 도시하지 않은 반도체 칩(4)에 형성된 배선에 의해서 행하게 된다.

도 10은 본 발명의 제 4 실시예의 변형례에 따른 반도체 장치의 단면도이다. 도 10에 나타난 반도체 장치(20e)는 도 9에 나타난 반도체 장치(20d)의 포스트(18c) 상에 땀납 볼(6c)을 배설한 것이다. 이와 같이 포스트(18c)에 땀납 볼(6c)을 설치함으로써, 반도체 장치의 실장의 신뢰성을 향상시킬 수 있다. 또, 도 9, 도 10에 나타난 바와 같은 포스트의 배설 방법은 팬 아웃 구조 및 팬 인 구조의 어느 쪽의 구조에 대하여도 대응이 가능하다.

도 11은 본 발명의 제 5 실시예에 따른 반도체 장치 유닛의 단면도이다. 도 11에 나타난 반도체 장치 유닛(20f)에서는, 도 1에 나타난 복수의 반도체 장치(20)를 적층하여 유닛화한 구조로 하고 있다. 반도체 장치(20)의 땀납 볼(6)과 포스트(18)의 접속면(32)과의 접속에 의해서, 복수의 반도체 장치(20)를 겹쳐서 실장할 수 있다. 예를 들면, DRAM, 플래시 메모리 등의 메모리 IC의 반도체 소자를 작은 실장 면적으로 대용량화하는 경우에 유효한 방법이다.

도 12는 본 발명의 제 6 실시예에 의한 반도체 장치 유닛의 단면도이다. 도 12에 나타난 반도체 장치 유닛(20g)에서는, 접합부(35)에 의해서 적층형의 패키지와 차폐재(34)를 접속하고 있다. 이 차폐재(34)는 반도체 장치의 범프(18c)와 접속되어 있다. 또, 범프(18c)와 전기적으로 접속되는 땀납 볼(6d)은 접지되어 있기 때문에 차폐재(34)는 외부로부터의 노이즈 및 내부에서 발생하는 노이즈를 차폐한다. 따라서, 반도체 장치 유닛(20g)에 영향을 주는 노이즈를 저감할 수 있어서, 신뢰성을 향상시킬 수 있다. 또, 적층형 패키지의 반도체 장치는 아니고, 단일 패키지의 반도체 장치에 차폐재를 설치하는 것도 가능하다.

도 13은 본 발명의 제 7 실시예에 따른 반도체 장치의 단면도이다. 도 13에 나타난 반도체 장치(20h)에서는, 접합부(38)에 의해서 포스트(18)와 안테나(36)를 접속하고 있다. 도 14에 나타난 바와 같이 안테나(36)에는 2개의 접합부(38)가 배선으로 접속되어 있다. 이와 같이, 반도체 장치(20h)의 포스트(18)에 안테나(36)를 접속함으로써, IC 카드나 도로 교통 시스템(ITS : Intelligent Transport System) 등에서의 무선 신호의 송수신을 할 수 있다.

도 15는 본 발명의 제 8 실시예에 따른 반도체 장치의 단면도이다. 도 15의 반도체 장치(20i)는, 도 1에 나타난 반도체 장치(20)에 칩 부품(40)을 배설하고 있다. 칩 부품(40)은 반도체 장치(20i)의 봉지 수지(8)에서 노출되는 포스트(18)에

접속된다. 이와 같이, 칩 부품을 포스트(18)에 접속함으로써, 반도체 장치의 기능성, 범용성을 향상시킬 수 있다.

도 16은 본 발명의 제 9 실시예에 따른 반도체 장치의 단면도이다. 도 16에 나타난 반도체 장치(20j)는 땀납 볼(6)과 전기적으로 접속되는 포스트(18)와 반도체 칩(4) 상에 포스트(18c)가 형성되어 있다. 또, 이 반도체 장치에서는 접합부(44)에 의해서 포스트(18, 18c)와 히트 싱크(42)를 접속하고 있다. 이와 같이, 히트 싱크(42)를 설치함으로써, 반도체 장치(20j)에서 발생한 열을 방출할 수 있어 반도체 장치의 온도 상승을 억제할 수 있다.

도 17은 본 발명의 제 10 실시예에 따른 반도체 장치의 단면도이다. 도 17에 나타난 반도체 장치(20k)는 반도체 칩(4) 상에 땀납 볼(6e)이 형성되고, 땀납 볼(6e)을 사이에 끼고 반도체 칩(4a)이 배설되어 있다. 반도체 칩(4a)의 뒷면을 봉지 수지(8)로부터 노출하도록 배설하여, 이 반도체 칩(4a)의 뒷면과 히트 싱크(42)를 접속시킨다. 이에 의해서 반도체 장치에서 발생한 열을 효율적으로 방출할 수 있다. 또, 반도체 칩(4a)은 반드시 전기적으로 기능시킬 필요는 없고, 반도체 장치의 열저항을 저감시키기 위한 더미 소자를 탑재하여도 좋다.

(부기 1)

반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저, 및

상기 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 외부 단자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖으며, 상기 수지에 내설되어 있는 배선을 갖는

것을 특징으로 하는 반도체 장치.

(부기 2)

반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저, 및

상기 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 반도체 소자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖으며, 상기 수지에 내설되는 동시에 상기 반도체 소자의 표면 상에 배설된 배선을 갖는

것을 특징으로 하는 반도체 장치.

(부기 3)

부기 1 또는 2 기재의 반도체 장치로서,

상기 제 1 접속부와 제 2 접속부의 단면적이 다른 것을 특징으로 하는 반도체 장치.

(부기 4)

부기 1 내지 3 중의 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 범프를 형성한 것을 특징으로 하는 반도체 장치.

(부기 5)

부기 1 내지 4 중의 어느 한 항 기재의 반도체 장치로서,

복수의 상기 반도체 장치의 각각을 적층 고정한 것을 특징으로 하는 반도체 장치.

(부기 6)

부기 1 내지 5 중 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 차폐재를 재치한 것을 특징으로 하는 반도체 장치.

(부기 7)

부기 1 내지 5 중의 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 안테나를 재치한 것을 특징으로 하는 반도체 장치.

(부기 8)

부기 1 내지 5 중의 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 전자 부품을 재치한 것을 특징으로 하는 반도체 장치.

(부기 9)

부기 1 내지 5 중의 어느 한 항 기재의 반도체 장치로서,

상기 제 2 접속부에 히트 싱크를 재치한 것을 특징으로 하는 반도체 장치.

(부기 10)

부기 1 내지 3 중 어느 한 항 기재의 반도체 장치로서,

상기 반도체 소자에 다른 반도체 소자의 제 1 면을 접속시키고, 상기 다른 반도체 소자의 제 2 면 및 제 2 접속부에 히트 싱크를 재치한 것을 특징으로 하는 반도체 장치.

(부기 11)

전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

상기 전극 패턴 상에 배선 구멍을 갖는 마스크를 형성하고, 상기 배선 구멍에 도전재를 도입하여 배선을 형성하는 배선 형성 공정, 및

상기 마스크를 제거한 후, 상기 기판의 상기 반도체 소자와 상기 배선이 형성된 면에, 상기 배선의 일부가 외부로 노출하도록 수지 형성을 행하는 수지 형성 공정

을 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

(부기 12)

전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

상기 전극 패턴 상에 배선을 형성하도록 상기 기판의 상기 반도체 소자의 배설 면에 수지를 형성하는 수지 형성 공정, 및

상기 배선 구멍에 도전재를 도입함으로써, 상기 수지 내에 배선을 형성하는 배선 형성 공정

을 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 발명의 효과

이상 설명한 바와 같이 청구항 1 기재의 발명에 의하면, 외부 단자와 전기적으로 접속하는 제 1 접속부 및 수지의 외부 표면에 노출하는 제 2 접속부를 갖는 배선이 설치되어 있다. 이 배선에 의해서 외부 단자와 제 2 접속부에 접속한 다른 전극과 전기적으로 접속시킬 수 있어, 복수의 동형의 반도체 장치에서의 적층 구조가 가능하게 된다. 따라서, 이 배선에 의해서 효율적으로 반도체 장치를 적층하여 일체화 할 수 있어, 3차원 구조의 실장 밀도의 향상을 도모할 수 있다. 또, 배선을 수지 내에 설치함으로써 최단의 배선을 배설할 수 있어, 간단한 패키지 구조의 반도체 장치를 제공할 수 있다.

청구항 2 기재의 발명에 의하면, 배선의 제 1 접속부를 반도체 소자와 전기적으로 접속하여 반도체 소자의 표면 상에 배설함으로써, 배선의 배설 위치의 자유도를 향상시킬 수 있다.

청구항 3 기재의 발명에 의하면, 배선의 제 1 접속부와 제 2 접속부의 단면적을 다르게 함으로써 배선의 총체적을 작게 할 수 있어, 배선의 임피던스를 억제할 수 있다. 따라서, 반도체 장치의 고속화를 도모할 수 있다. 또, 배선의 형성 시간을 단축할 수 있는 동시에, 반도체 장치의 신뢰성을 향상시킬 수 있다.

청구항 4 기재의 발명에 의하면, 제 2 접속부에 설치된 범프에 의해서, 반도체 장치의 실장의 신뢰성을 향상시킬 수 있다.

청구항 5 기재의 발명에 의하면, 복수의 동형의 반도체 장치를 적층 고정함으로써, 반도체 장치의 적층 구조의 용적을 작게 할 수 있다. 즉, 반도체 장치의 3차원 구조로서 실장 밀도의 향상을 도모할 수 있다.

청구항 6 기재의 발명에 의하면, 제 2 접속부에 안테나를 설치함으로써, 무선신호의 송수신에 적용하는 것이 가능하다. 따라서, 반도체 장치의 신뢰성 및 기능성을 향상시킬 수 있다.

청구항 7 기재의 발명에 의하면, 제 2 접속부에 다른 기능을 갖는 전자 부품을 설치함으로써, 반도체 장치의 기능성, 범용성을 향상시킬 수 있다.

청구항 8 기재의 발명에 의하면, 반도체 소자에 접속한 다른 반도체 소자의 뒷면 및 제 2 접속부에 히트 싱크를 재치함으로써, 반도체 장치에서 발생한 열을 효율적으로 방출할 수 있다. 따라서, 반도체 장치의 신뢰성 및 기능성을 향상시킬 수 있다.

청구항 9 기재의 발명에 의하면, 전극 패턴 상에 배선 구멍을 갖는 마스크를 형성하고, 이 배선 구멍에 도전재를 도입하

여 배선을 형성한 후에, 기판의 반도체 소자와 배선의 형성된 면에 수지로 봉지함으로써, 복수의 동형의 반도체 장치에서의 적층이 가능하게 된다.

청구항 10 기재의 발명에 의하면, 전극 패턴 상에 배선 구멍을 형성하도록 기판의 반도체 소자의 배설 면을 수지로 봉지한 후에, 배선 구멍에 도전재를 도입하여 배선을 형성함으로써, 복수의 동형의 반도체 장치에서의 적층이 가능하게 된다.

#### (57) 청구의 범위

청구항 1. 반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저(interposer), 및

상기 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 외부 단자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖고, 상기 수지에 내설되어 있는 배선을 갖는

것을 특징으로 하는 반도체 장치.

청구항 2. 반도체 소자와,

외부와 접속하는 외부 단자와,

상기 반도체 소자를 제 1 면에 탑재하고, 상기 제 1 면과 반대측 면에 외부 단자를 설치하여, 상기 반도체 소자와 상기 외부 단자를 전기적으로 접속하는 인터포저, 및

상기 인터포저의 제 1 면을 봉지하는 수지를 갖는 반도체 장치로서,

상기 반도체 소자와 전기적으로 접속하는 제 1 접속부 및 상기 수지의 외주 표면에 노출하는 제 2 접속부를 갖고, 상기 수지에 내설되는 동시에 상기 반도체 소자의 표면 상에 배설된 배선을 갖는

것을 특징으로 하는 반도체 장치.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 제 1 접속부와 제 2 접속부의 단면적이 다른 것을 특징으로 하는 반도체 장치.

청구항 4. 제 1 항 내지 제 3 항중 어느 한 항에 있어서,

상기 제 2 접속부에 범프를 형성한 것을 특징으로 하는 반도체 장치.

청구항 5. 제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

복수의 상기 반도체 장치의 각각을 적층 고정하는 것을 특징으로 하는 반도체 장치.

청구항 6. 제 1 항 내지 제 5 항중 어느 한 항에 있어서,

상기 제 2 접속부에 안테나를 재치(載置)한 것을 특징으로 하는 반도체 장치.

청구항 7. 제 1 항 내지 제 5 항중 어느 한 항에 있어서,

상기 제 2 접속부에 전자 부품을 재치한 것을 특징으로 하는 반도체 장치.

청구항 8. 제 1 항 내지 제 3 항중 어느 한 항에 있어서,

상기 반도체 소자에 다른 반도체 소자의 제 1 면을 접속시키고, 상기 다른 반도체 소자의 제 2 면 및 제 2 접속부에 히트 싱크(heat sink)를 재치한 것을 특징으로 하는 반도체 장치.

청구항 9. 전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

상기 전극 패턴 상에 배선 구멍을 갖는 마스크를 형성하고, 상기 배선 구멍에 도전재를 도입하여 배선을 형성하는 배선 형성 공정, 및

상기 마스크를 제거한 후, 상기 기판의 상기 반도체 소자 및 상기 배선이 형성된 면에 상기 배선의 일부가 외부로 노출하도록 수지 형성을 행하는 수지 형성 공정

을 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10. 전극 패턴을 갖는 기판에 반도체 소자를 배설하는 소자 배설 공정과,

상기 반도체 소자와 상기 전극 패턴을 전기적으로 접속하는 접속 공정과,

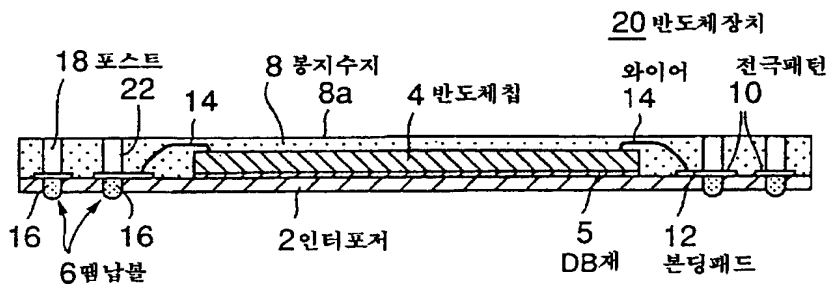
상기 전극 패턴 상에 배선이 형성되도록 상기 기판의 상기 반도체 소자의 배설 면에 수지를 형성하는 수지 형성 공정, 및

상기 배선 구멍에 도전재를 도입함으로써, 상기 수지 내에 배선을 형성하는 배선 형성 공정

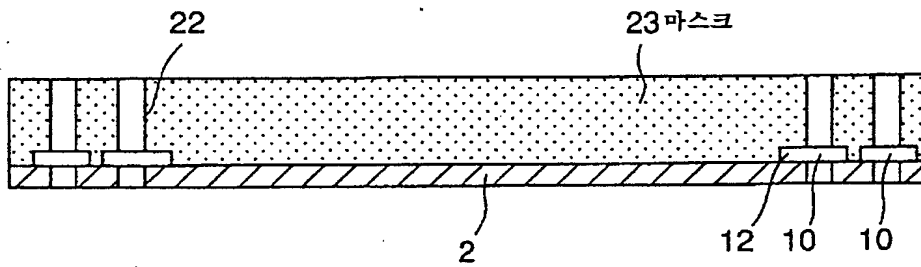
을 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

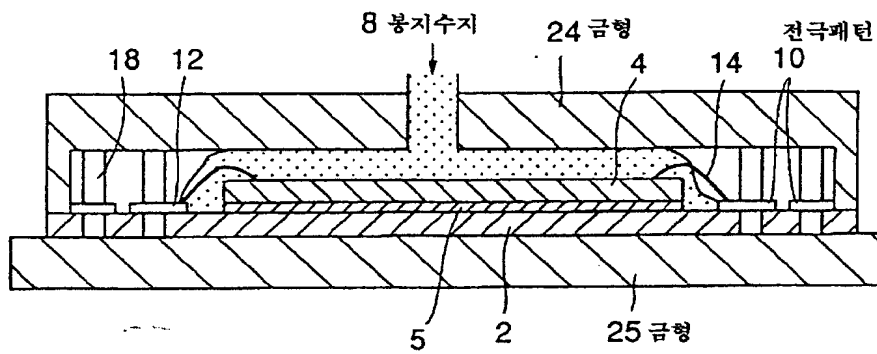
도면1



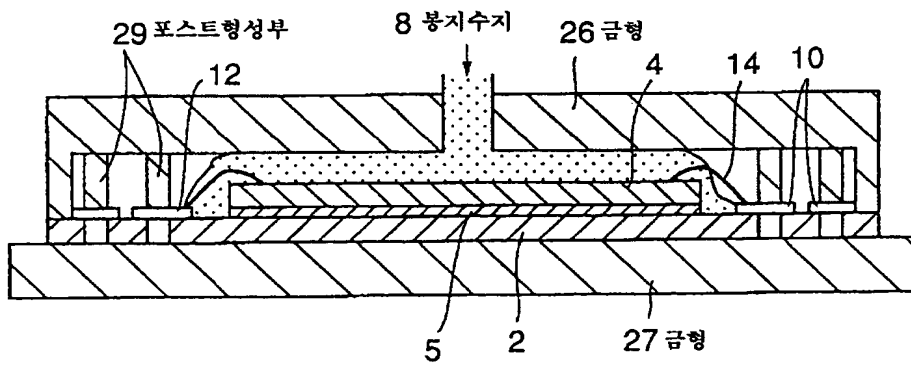
도면2



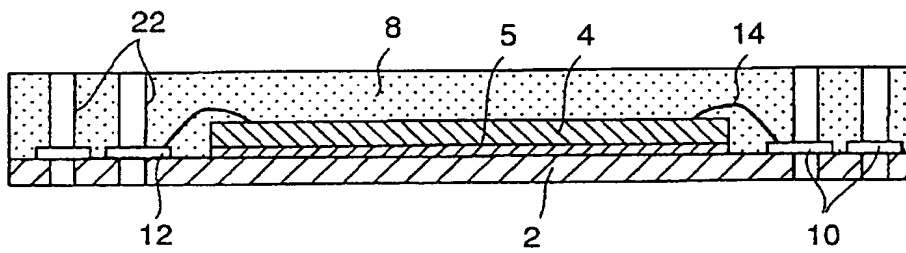
도면3



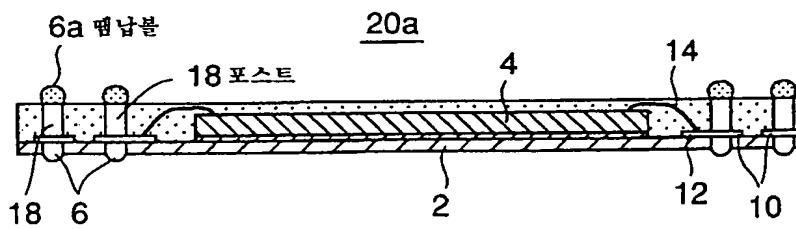
도면4



도면5



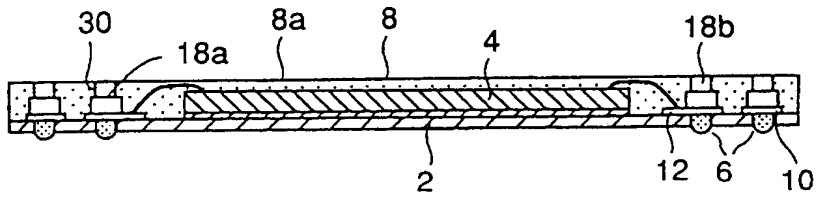
도면6



도면7

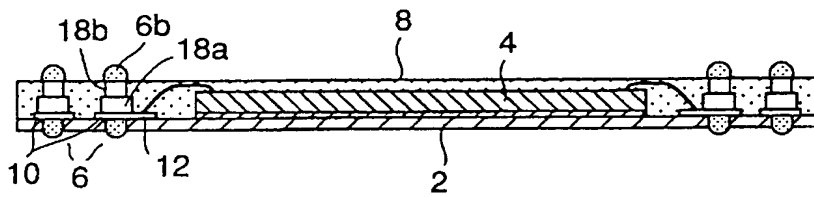


20b



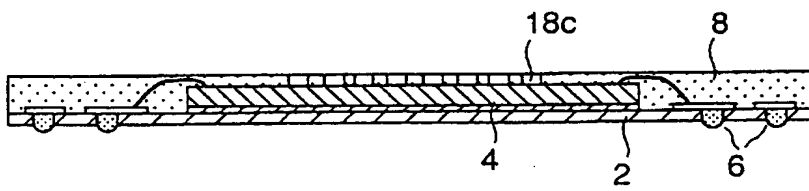
도면8

20c

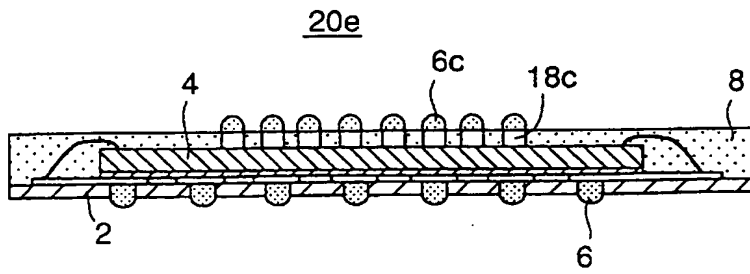


도면9

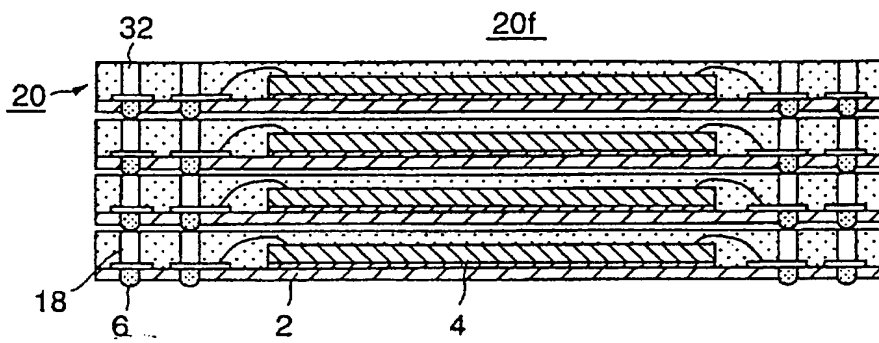
20d



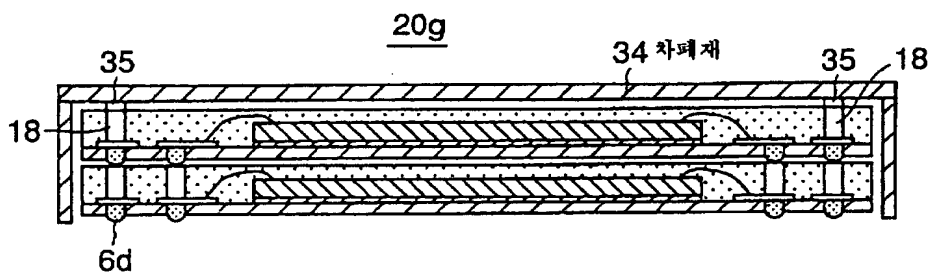
도면10



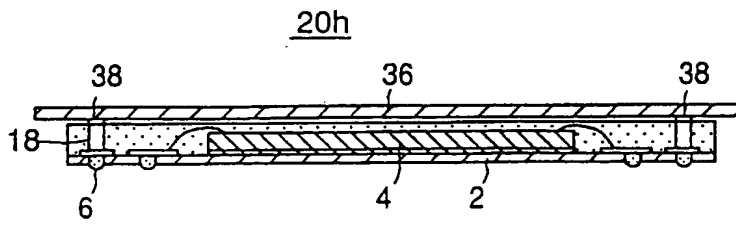
도면 11



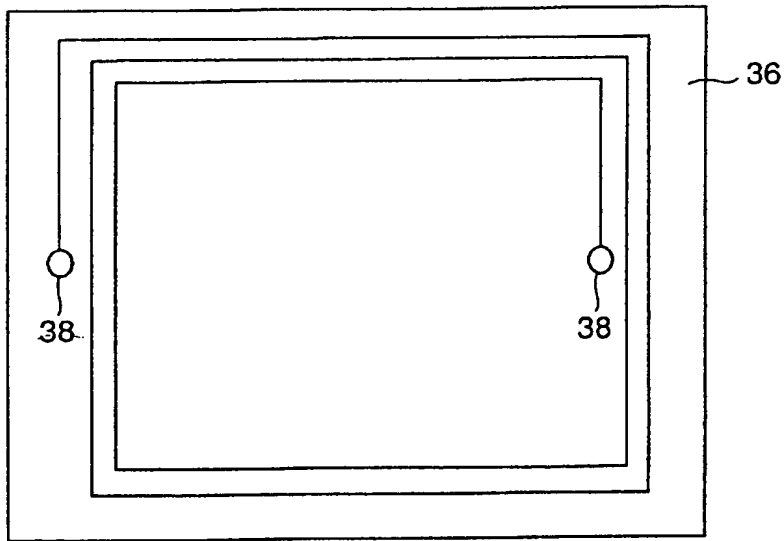
도면 12



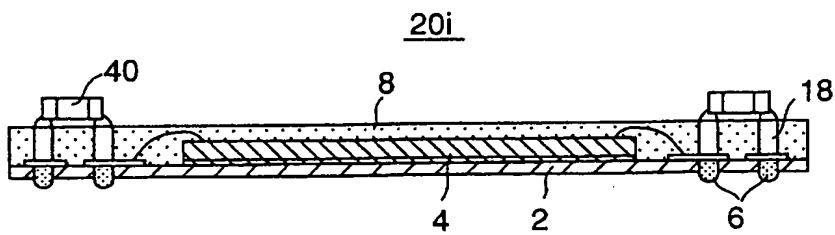
도면 13



도면 14

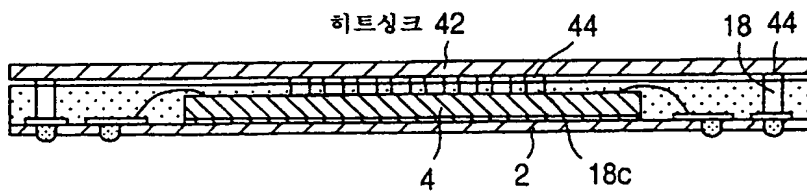


도면 15



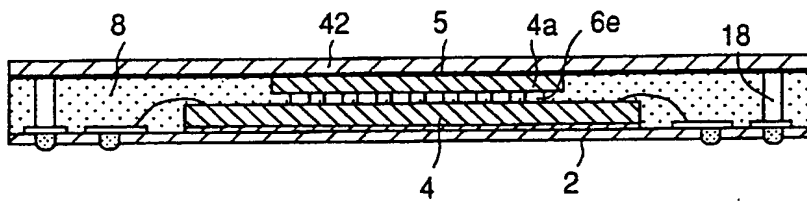
도면 16

20j



도면 17

20k



도면 18

